

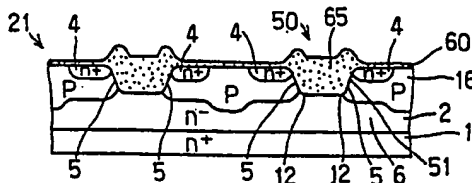


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H01L 29/784	A1	(11) 国際公開番号 WO 93/03502 (43) 国際公開日 1993年2月18日 (18.02.1993)
(21) 国際出願番号 PCT/JP92/00929 (22) 国際出願日 1992年7月22日 (22. 07. 92) (30) 優先権データ 特願平 3/187602 1991年7月26日 (26. 07. 91) JP (71) 出願人 (米国を除くすべての指定国について) 日本電装株式会社 (NIPPONDENSO CO., LTD.) [JP/JP] 〒448 愛知県刈谷市昭和町1丁目1番地 Aichi, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 戸倉規仁 (TOKURA, Norihito) [JP/JP] 高橋茂樹 (TAKAHASHI, Shigeki) [JP/JP] 〒448 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内 Aichi, (JP) (74) 代理人 弁理士 碓氷裕彦 (USUI, Hirohiko) 〒448 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内 Aichi, (JP) (81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), DK (欧州特許), ES (欧州特許), FR (欧州特許), GB (欧州特許), GR (欧州特許), IT (欧州特許), JP, LU (欧州特許), MC (欧州特許), NL (欧州特許), SE (欧州特許), US.	添付公開書類 国際調査報告書	

(54) Title : METHOD OF PRODUCING VERTICAL MOSFET

(54) 発明の名称 縦型MOSFETの製造方法



(57) Abstract

A vertical power MOSFET which has a markedly decreased on-resistance per unit area. A groove having a gate structure is substantially formed by the LOCOS method prior to forming the p-type base layer and the n⁺-type source layer. Then, the p-type base layer (16) and the n⁺-type source layer (4) are formed by double diffusion being self-aligned with the LOCOS oxide film (65) and, at the same time, a channel (5) is set in the sidewall (51) of the LOCOS oxide film. Then, the LOCOS oxide film is removed to form a U-groove thereby to constitute the gate structure. That is, the channel is set by double diffusion which is self-aligned to the LOCOS oxide film, i.e., the channels are correctly set symmetrically in the sidewalls on both sides of the groove. Therefore, the position of the U-groove is not deviated with respect to the end of the base layer, and the length of the bottom surface of the U-groove can be minimized. This makes it possible to greatly decrease the size of the unit cell and to greatly decrease the on-resistance per unit area.

(57) 要約

縦型パワーMOSFETにおいて、その面積当たりのオン抵抗を飛躍的に低減することを目的とする。

ゲート構造の構成される実質的な溝形成をp型ベース層、 n^+ 型ソース層の形成前に、LOCOS法を利用して行っておく。そして、p型ベース層(16)と n^+ 型ソース層(4)をLOCOS酸化膜(65)と自己整合的に二重拡散にて形成し、同時にLOCOS酸化膜の側壁部(51)にチャネル(5)を設定する。その後、このLOCOS酸化膜を除去してU溝となし、ゲート構造を構成する。即ち、LOCOS酸化膜に自己整合的な二重拡散によりチャネルを設定するため、溝の両側の側壁部に設定されるチャネルは正確に左右対称な構造になり、ベース層端に対するU溝の位置ずれは無く、U溝の底面の長さを必要最小限に短くすることができる。従って、ユニットセル寸法を大幅に縮小することができ、面積当たりのオン抵抗を大幅に低減できる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバドス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ バナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴ
CH スイス
CI コート・ジボアール
CM カメルーン
CS チェッコスロヴァキア
CZ チェッコ共和国
DE ドイツ
DK デンマーク
ES スペイン

FI フィンランド
FR フランス
GA ガボン
GB イギリス
GN ギニア
GR ギリシャ
HU ハンガリー
IE アイルランド
IT イタリア
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ
MG マダガスカル
ML マリ
MN モンゴル

MR モーリタニア
MW マラウイ
NL オランダ
NO ノルウェー
NZ ニュージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア連邦
SD スーダン
SE スウェーデン
SK スロヴァキア共和国
SN セネガル
SU ソビエト連邦
TD チャード
TG トーゴ
UA ウクライナ
US 米国

明 細 書

縦型MOSFETの製造方法

技術分野

本発明は、電力用半導体素子として用いられる縦型MOSFET
5 (Metal Oxide Semiconductor Field Effect Transistor) に関し、その単体または電力用半導体素子を組み込んだMOSIC等に採用して好適である。

背景技術

縦型パワーMOSFETは、周波数特性が優れ、スイッチング速度
10 が速く、かつ低電力で駆動できる等多くの特長を有することから、近年多くの産業分野で使用されている。例えば、日経マグローヒル社発行“日経エレクトロニクス”の1986年5月19日号, pp.165-188には、パワーMOSFETの開発の焦点が低耐圧品および高耐圧品に移行している旨記載されている。さらに、この文献には、耐圧100
15 V以下のパワーMOSFETチップのオン抵抗は、10mΩレベルまで低くなってきていることが記載されており、この理由として、パワーMOSFETの製造にLSIの微細加工を利用したり、そのセルの形状を工夫したりすることにより、面積当たりのチャネル幅が大きくとれるようになったことにある旨述べられている。また、この文献に
20 は主流であるDMOS型（二重拡散型）セルを使用した縦型パワーMOSFETを中心にのべられている。その理由は、DMOS型はチャネル部分にシリコンウエハの平坦な主表面をそのまま使用することを特長とするプレーナプロセスにより作製されるため、歩留まりが良くコストが安いという製造上の利点があるからである。
25 一方、縦型パワーMOSFETの普及に伴って低損失化、低コスト

化がさらに求められているが、微細加工やセルの形状の工夫によるオン抵抗低減は限界にきている。たとえば、特開昭63-266882号公報によると、DMOS型においては微細加工によりユニットセルの寸法を小さくしてもオン抵抗がそれ以上減少しない極小点があり、
5 その主原因がオン抵抗の成分を成すJFET抵抗の増加であることが分かっている。またDMOS型において、特開平2-86136号公報に示されているように、現在の微細加工技術の下ではオン抵抗が極小点をとるユニットセルの寸法は15 μ m付近である。

この限界を突破するために種々の構造が提案されている。それらに
10 共通した特徴は素子表面に溝を形成し、その溝の側面にチャネル部を形成した構造であり、この構造により前述のJFET抵抗を大幅に減少させることができる。さらに、この溝の側面にチャネル部を形成した構造においては、ユニットセル寸法を小さくしてもJFET抵抗の増大は無視することができるため、特開昭63-266882号公報
15 に記載されたようなユニットセル寸法の縮小に対してオン抵抗が極小点をとるという限界が無く、15 μ mを切って微細加工の限界まで小さくすることができる。

この溝の側面にチャネル部を形成する構造は、その形状からR(Rectangular)-MOSやU(U-shaped)-MOSと呼ばれている。特開昭
20 59-8374号公報に示された構造はR-MOSの例であり、異方性ドライエッチング法により垂直な溝を素子表面に形成して、この溝の側壁部分にチャネルとゲートを形成した別名トレンチゲート型とも呼ばれる構造であり、このものはJFET抵抗成分を完全に無くすことができる。一方、特開平2-86171号公報に示された構造はU
25 -MOSの例であり、チャネル部をU溝形状に加工する方法としてシリコンの異方性ウェットエッチングやLOCOS酸化(Local Oxidation of Silicon)法を用い、このものもJFET抵抗成分を大幅に低減することができる。

溝の側面にチャネル部を形成した縦型パワーMOSFETの典型的な従来例を図14(R-MOS)と図15(U-MOS)に示す。

まず、図14に示すR-MOSについて説明する。この縦型パワーMOSFETは、 n^+ 型シリコンからなる半導体基板1の主面に設けられた n^- 型層からなるエピタキシャル層2の表層部に、イオン注入と熱拡散によりp型拡散層と n^+ 型拡散層を順次形成する。次に、これらp型拡散層と n^+ 型拡散層の一部をそれぞれp型ベース層16と n^+ 型ソース層4として残すように、反応性イオンエッチング法によりシリコン基板に対して垂直方向にp型拡散層を貫通するまでエッチングし、トレンチ溝50を形成する。このトレンチ溝50の内壁51にゲート酸化膜8を形成し、その上にゲート電極9を形成する。こうして内壁51の側壁部分にチャネル5が形成され、チャネル長はp型ベース層16の厚さで決定される。ソース電極19は n^+ 型ソース層4に、ドレイン電極20は半導体基板1の裏面にそれぞれオーミック接触する。

このR-MOSにおいて、そのドレイン・ソース間のオン抵抗はチャネル抵抗と n^- 型ドレイン層6の抵抗の和にほぼ等しく、前述したDMOS型で問題となったJFET抵抗は存在しない。このため、ユニットセル寸法 a'' の縮小に応じてオン抵抗は単調に減少し、現在の微細加工の限界である $5 \sim 6 \mu m$ まで縮小することができ、面積当たりのオン抵抗をDMOS型に比べて大幅に低減することができる。

ところが、R-MOSは歩留まり、信頼性が低いという短所がある。その原因は、トレンチ溝50が反応性イオンエッチング法により形成されるため、内壁51の側壁表面の平坦度が悪くて欠陥が多く、その表面を酸化してできたゲート酸化膜8の膜質が悪いためである。そして、ゲート酸化膜の絶縁不良、チャネル部の界面の欠陥による移動度の低下やしきい電圧の変化が生じることになる。このように、R-MOSの構造は面積当たりのオン抵抗を大幅に低減できる長所がある反

面、歩留まりが低いことに起因するコスト高の問題や、ゲート酸化膜とチャネル部の安定度が悪いために信頼性を確保することが困難であるという問題がある。

これに対し、図 1 5 に示す U-MOS は、U 溝を形成する工程として反応性イオンエッチングの代わりに異方性ウェットエッチングまたは LOCOS 酸化法を用いているため、側壁表面の平坦度が良く、また欠陥の少ない内壁 5 1 を持つ U 溝 5 0 が形成でき、その表面を酸化して形成するゲート酸化膜 8 の膜質も良いものとなる。この結果として、絶縁不良が発生しない、またチャネル部の特性を安定なものとする
5
10
ことができる等、歩留まりと信頼性の高い縦型パワー MOSFET が得られることになる。

この U-MOS の作製工程を図 1 6 ~ 図 1 9 及び図 1 5 に従って説明する。この縦型パワー MOSFET は、図 1 6 に示されるように n^+ 型のシリコンからなる半導体基板 1 の主面に設けられた n^- 型層からなるエピタキシャル層 2 を備えたウエハ 2 1 の主表面にセルの寸法 a' の周期で部分的に形成した絶縁膜 2 2 をマスクとして選択イオン注入と熱拡散によりボロンを二重に拡散し、p 型拡散層 2 3 と p^+ 型コンタクト領域 1 7 を形成する。次に、絶縁膜 2 2 を除去した後、図 1 7 に示されるようにウエハ 2 1 の主表面に部分的に形成した絶縁膜 2 4
15
20
をマスクとしてリンを拡散し、隣合うセル 1 5 の p 型拡散層 2 3 に重なるように n^+ 型拡散層 2 5 を形成する。

次に、絶縁膜 2 4 を除去した後、図 1 8 に示されるようにウエハ 2 1 の主表面に部分的に形成した絶縁膜 2 6 をマスクとして、異方性エッチングまたは LOCOS 酸化法により U 溝 5 0 を形成する。この U 溝 5 0 の形成によって、隣合う p 型拡散層 2 3 の周縁部分および n^+ 型拡散層 2 5 の中央部が除去されて、ユニットセル寸法 a' のユニットセル毎に U 溝 5 0 により分離された p 型ベース層 1 6 と n^+ 型ソース層 4 を形成する。
25

次に、絶縁膜 26 を除去した後、図 19 に示されるように U 溝 50 の表面にゲート酸化膜 8 を形成するとともに、このゲート酸化膜 8 の上にポリシリコンからなるゲート電極 9 を形成する。次に、ウエハ 21 の主表面に図 15 に示すように、ゲート酸化膜 8 およびゲート電極 5 9 を被うように層間絶縁膜 18 を形成し、この層間絶縁膜 18 に p^+ 型ベースコンタクト層 17 および n^+ 型ソース層 4 の一部を露出させるための穴開けを行う。この p^+ 型ベースコンタクト層 17 および n^+ 型ソース層 4 に対してオーミック接触するソース電極 19 をウエハ 21 の主表面に形成する。さらに、半導体基板 1 の裏面にオーミック接
10 触するドレイン電極 20 を形成して、U-MOS 構造の縦型パワー MOSFET を完成する。

この図 15 に示す U-MOS は、歩留まり、信頼性が DMOS 型と同等に高い特長があり、この点において R-MOS に比べて極めて優れている。これは、シリコンのウェットエッチングや LOCOS 酸化
15 法により U 溝 50 を形成することにより、その内壁 51 の平坦度は良く欠陥も少なく、また、その表面を酸化してできるゲート酸化膜 8 の膜質も良くなり、ゲート酸化膜の絶縁不良やチャネル部の特性変化が生じにくくなるためである。

U-MOS のドレイン・ソース間のオン抵抗については、前述の R-MOS と同様にチャネル抵抗と n^- 型ドレイン層 6 の抵抗の和には
20 ば等しく、JFET 部 7 の JFET 抵抗は十分小さい。このため、前述の R-MOS と同様にユニットセル寸法 a' の縮小に応じてオン抵抗は単調に減少するが、現在の微細加工の限界では DMOS 型の約 $15 \mu m$ よりも僅かに小さくすることができるだけであり、R-MOS
25 型の $5 \sim 6 \mu m$ まで小さくすることはできない。しかし、JFET 抵抗が十分小さいので面積当たりのオン抵抗は R-MOS 型と DMOS 型の中間の値をとる。このように、U-MOS は DMOS の高い製造歩留まりと高い信頼性を維持しつつ、R-MOS の低オン抵抗の特徴

を一部受け継いだ構造であるといえる。

U-MOSの面積当たりのオン抵抗をR-MOS並に低減するためには、ユニットセル寸法 a' を縮小することが必要不可欠である。しかしながら、図16～19および図15に示すU-MOSの製造方法
5 において、ユニットセル寸法 a' の縮小は困難である。以下、その理由を説明する。

まず、U-MOSのユニットセル寸法 a' が何によって決まるかを詳細に説明する。

図15において、各部分の寸法には次に示す関係がある。

$$\begin{aligned} 10 \quad a' &= b' + 2\alpha' \\ b' &= c' + 2\beta' \\ c' &= d' + 2\gamma' \\ d' &= e' + 2\delta' \end{aligned} \quad \dots \dots (1)$$

ただし、 a' はユニットセル寸法、 b' は隣接した2つのU溝上端
15 間の距離、 c' は隣接したゲート電極間の距離、 d' はコンタクト穴の寸法、 e' はベースコンタクト層17が表面に露出した部分の寸法である。また、 α' はU溝50の中央と上端の平面距離、 β' はU溝50の上端とゲート電極9の端の平面距離、 γ' はゲート電極9の端とコンタクト穴の端の平面距離、 δ' はコンタクト穴の端とベースコ
20 ンタクト層17が表面に露出した部分の端の平面距離である。

ここで、現在の微細加工レベルにおいては、マスクの合わせ精度が0.5～1 μ m程度であり、またエッチング加工等の寸法精度も考慮すると、上記した式(1)中の各値はたとえば下記の値をとる。

$$\begin{aligned} 25 \quad \beta' &= 1 [\mu\text{m}], \gamma' = 1.5 [\mu\text{m}], \delta' = 1 [\mu\text{m}] \\ b' &= 8.5 [\mu\text{m}], c' = 6.5 [\mu\text{m}] \\ d' &= 3.5 [\mu\text{m}], e' = 1.5 [\mu\text{m}] \end{aligned} \quad \dots \dots (2)$$

式(1)、(2)より、ユニットセル寸法 a' は、

$$a' = b' + 2\alpha' = 8.5 + 2\alpha' \quad [\mu m]$$

... (3)

となり、ユニットセル寸法 a' を縮小するためには、U溝50の中央と上端の平面距離 α' の値が重要となる。

- 5 図16～18より α' の寸法は、U溝50の底辺の長さと加工精度、およびp型拡散層23に対する絶縁膜26（U溝形成用マスク）の合わせ精度で決まることがわかる。図20は、隣接した2つのp型拡散層23の中央線 CL_1 と、隣接した2つの絶縁膜26の中央線 CL_2 が重なった場合のU溝50を含む要部断面図であり、マスクずれが無い場合に相当する。この場合、 α' は次式(4)で与えられる。

$$\alpha' = \alpha'_1 + \alpha'_2 + \alpha'_3 \quad \dots (4)$$

ただし、 α'_1 はU溝50の底辺部とn⁻型ドレイン層6が接する長さの1/2、 α'_2 はU溝50の底辺部とp型ベース層16が接する長さ、 α'_3 はU溝50の側壁部のウェハ21の主表面に投影した長さである。

- 15 ここで、図20において左右の α'_2 は明らかに等しい。しかし、実際にはマスク合わせのずれがあることにより左右の α'_2 は異なり、そのため、式(4)中の各項のうち α'_2 は1.5 μm 程度に設定する必要がある。その理由は、絶縁膜26のマスク合わせが最も悪い場合、現状のマスク合わせ精度により図21に示すように、隣接した2つのp型
- 20 拡散層23の中央線 CL_1 に対して、隣接した2つの絶縁膜26の中央線 CL_2 が右方向に位置ずれ（たとえば1 μm ）を生じてしまうことになり、そのような位置ずれを起こしたとしても、エッジ部分12での電界集中を防止してゲート部分の絶縁破壊に起因する不具合を無くすために、U溝50の溝底のエッジ部分12がn⁻型ドレイン層6
- 25 に露出しないでp型ベース層16内に位置するように、この位置ずれを見込んだ設計をする必要があるからである。従って、U溝50の底辺部のp型ベース層16と接する長さ α'_{21} 、 α'_{22} において必ず次

の式(5)を成立させる必要がある。

$$0 < \alpha'_{21}, \alpha'_{22} \quad \dots \dots (5)$$

また、 α'_1 と α'_3 については、現在の微細加工レベルでは共に0.75 μ m程度であるから、式(4)より α' は下記の値をとる。

$$5 \quad \alpha' = 0.75 + 1.5 + 0.75 = 3 \text{ } [\mu\text{m}] \quad \dots \dots (6)$$

従って、式(3)、(6)からユニットセル寸法 a' の最小値は、

$$a' = 8.5 + 2 \times 3 = 14.5 \text{ } [\mu\text{m}] \quad \dots \dots (7)$$

となる。

- 10 以上のように、図16～19および図15に示したU-MOSの製造方法において、ユニットセル寸法 a' の縮小限界は14.5 μ m程度であり、これは従来のDMOS型の15 μ mと同程度であり、面積当たりのオン抵抗の飛躍的な低減は難しかった。

- 本発明の目的はオン抵抗を小さくできる縦型パワーMOSFETを
15 提供することにある。

発明の開示

上記目的を達成するために、本発明による縦型パワーMOSFETの製造方法は従来方法とは異なり、実質的な溝形成をベース層、ソース層の形成前に行っておくことを基本的思想としている。

- 20 すなわち、その概要を簡単に説明すれば、本発明になる縦型MOSFETの製造方法は、

- 半導体基板の一主面側に該半導体基板よりも低不純物濃度であって第1導電型の半導体層を形成し、この低濃度の半導体層の表面を主表面としてその所定領域を選択酸化することにより、該所定領域の前記
25 半導体層内に前記主表面より所定深さを有する選択酸化膜を形成する選択酸化工程と、

前記選択酸化膜の側面に接する前記半導体層表面にチャネルを形成

すべく、前記選択酸化膜と自己整合的に順次第2導電型と第1導電型の不純物を前記主表面より二重拡散し、この二重拡散により前記チャンネルの長さを規定すると同時に第2導電型のベース層と第1導電型のソース層を形成し、残された前記半導体層を第1導電型のドレイン層とする不純物導入工程と、

この二重拡散の後に前記選択酸化膜を除去して前記所定深さを有する溝構造を形成し、前記チャンネルとなる部分を含む前記溝の内壁を酸化してゲート酸化膜とし、このゲート酸化膜上にゲート電極を形成するゲート形成工程と、

10 前記ソース層および前記ベース層とともに電氣的に接触するソース電極と、前記半導体基板の他主面側に電氣的に接触するドレイン電極とを形成するソース、ドレイン電極形成工程と

を含むことを特徴としている。

すなわち、ベース層とソース層は選択酸化膜を拡散用マスクとして
15 自己整合的に二重拡散にて形成され、同時に選択酸化膜によって喰われた半導体層のその側壁部にチャンネル領域が設定される。また、この選択酸化膜は後工程において除去され、ゲート電極の設定される溝部となる。

このように、チャンネルが選択酸化膜の端面により自己整合的に溝の
20 側壁部に形成されることになり、そのため、溝の各側壁部に形成される隣合うセルのチャンネルは正確に対称な構造になる。また、ベース層は選択酸化膜をマスクとして自己整合的に拡散されるため、ベース層は溝の側壁部に正確に位置決めされて拡散形成されることになり、その接合深さは正確に制御できる。従って、ベース層は正確に溝底面の
25 エッジ部を包むように拡散条件を設定することもできる。

このように、選択酸化法により溝を形成し、この選択酸化膜をマスクとして自己整合的に二重拡散によりベース層、ソース層およびチャンネルを形成することにより、溝底辺のエッジ部を各セルにおいて正確

に対称な構造にすることができる。

したがって、従来のU-MOSのように、ベース層端に対するU溝の位置ずれが起こってもエッジ部が該ベース層内に位置するように十分底面の長いU溝を形成する必要がなく、U溝の底面の長さを必要最小限に短くすることができる。その結果、マスクずれを見込む必要が無くユニットセル寸法を大幅に縮小することができ、面積当たりのオン抵抗はR-MOSと同程度まで低減できる。しかも、製造歩留まりや信頼性はDMOS型と同程度に高い。

図面の簡単な説明

10 図1(a)は本発明第1実施例による縦型パワーMOSFETの一部を示す平面図、図1(b)は図1(a)のA-A断面図、図2乃至図13は本発明第1実施例による縦型パワーMOSFETの製造工程の説明に供する要部断面図である。

図14は従来のR-MOS型の縦型パワーMOSFETの断面図、
15 図15は従来のU-MOS型の縦型パワーMOSFETの断面図、図16乃至図19は従来のU-MOS型の縦型パワーMOSFETの製造工程の説明に供する要部断面図である。図20は従来のU-MOS型の縦型パワーMOSFETの製造において、溝を形成するときに溝底面のエッジ部とp型ベース層の位置関係が左右対称である理想的な
20 状態を示す要部断面図である。図21は従来のU-MOS型の縦型パワーMOSFETの製造において、溝を形成するときにマスクずれにより溝底面のエッジ部とp型ベース層の位置関係が、左右対称でない実際的な状態を示す要部断面図である。

図22は本発明第2実施例による縦型パワーMOSFETの要部断面図、
25 図23(a)は本発明第4実施例による縦型パワーMOSFETの一部を示す模式的な平面図、図23(b)は図23(a)のB-B断面図である。

発明を実施するための最良の形態

以下図面を参照して本発明の実施例について説明する。

図 1 (a) は本発明の第 1 実施例による四角形ユニットセルからなる縦型パワー MOSFET の平面図であり、同図 (b) は同図 (a) における A-A 断面図である。図 2 ~ 図 13 は同じく縦型パワー MOSFET の製造における各段階でのワークであるウエハの断面図であって、図 1 (b) に相当する。なお、図 2 は p 型ベース層の中央部形成のためにボロンイオン注入をしたウエハの断面図、図 3 は LOCOS 酸化のために窒化シリコン膜をユニットセル寸法 a の間隔でパターニングしたウエハの断面図、図 4 は窒化シリコン膜の窓をウェットエッチングしたウエハの断面図、図 5 は LOCOS 酸化膜が形成されたウエハの断面図、図 6 は LOCOS 酸化膜をマスクとして p 型ベース層形成のためにボロンイオン注入をしたウエハの断面図、図 7 は熱拡散により p 型ベース層を形成したウエハの断面図、図 8 は LOCOS 酸化膜をマスクとして n⁺ 型ソース層形成のためにリンイオン注入をしたウエハの断面図、図 9 は熱拡散により n⁺ 型ソース層を形成したウエハの断面図、図 10 は LOCOS 酸化膜を除去した後に熱酸化によりゲート酸化膜を形成したウエハの断面図、図 11 はゲート酸化膜の上にゲート電極が形成されたウエハの断面図、図 12 は p⁺ 型ベースコンタクト層形成のためにボロンイオン注入をしたウエハの断面図、図 13 は熱拡散により p⁺ 型ベースコンタクト層を形成したウエハの断面図、そして、図 1 (b) が層間絶縁膜、ソース電極およびドレイン電極を形成したウエハの完成断面図である。

この実施例の縦型パワー MOSFET は、その要部、すなわちユニットセル部分を図 1 に示すような構造として、このユニットセル 15 がピッチ幅 (ユニットセル寸法) a で平面上縦横に規則正しく多数配置された構造となっている。

図 1 において、ウエハ 21 は不純物濃度が 10^{20} cm^{-3} 程度で厚さ

1 2

1 0 0 ~ 3 0 0 μm の n^+ 型シリコンからなる半導体基板 1 上に不純物密度が $1 0^{18} \text{cm}^{-3}$ 程度の厚さ 7 μm 前後の n^- 型エピタキシャル層 2 が構成されたものであり、このウエハ 2 1 の主表面にユニットセル 1 5 が構成される。ウエハ 2 1 の主表面に 1 2 μm 程度のユニットセル寸法 a で U 溝 5 0 を形成するために、厚さ 3 μm 程度の L O C O S 酸化膜を形成し、この酸化膜をマスクとして自己整合的な二重拡散により接合深さが 3 μm 程度の p 型ベース層 1 6 と、接合深さが 1 μm 程度の n^+ 型ソース層 4 とが形成されており、それにより U 溝 5 0 の側壁部 5 1 にチャンネル 5 が設定される。なお、p 型ベース層 1 6 の接合深さは U 溝 5 0 底辺のエッジ部 1 2 でブレークダウンによる破壊が生じない深さに設定されている。また、p 型ベース層 1 6 の中央部の接合深さが周囲よりも深くなるように、あらかじめ p 型ベース層 1 6 の中央部にボロンが拡散されており、ドレイン・ソース間に高電圧が印加されたときに、p 型ベース層 1 6 の底面の中央部でブレークダウンが起こるように設定されている。また、二重拡散後にこの拡散マスク及び U 溝 5 0 形成用として使用した L O C O S 酸化膜は除去されて、U 溝 5 0 の内壁には厚さが 6 0 nm 程度のゲート酸化膜 8 が形成され、さらに、その上に厚さが 4 0 0 nm 程度のポリシリコンからなるゲート電極 9、厚さが 1 μm 程度の B P S G からなる層間絶縁膜 1 8 が形成されている。さらに、p 型ベース層 1 6 の中央部表面に接合深さが 0 . 5 μm 程度の p^+ 型ベースコンタクト層 1 7 が形成され、層間絶縁膜 1 8 の上に形成されたソース電極 1 9 と n^+ 型ソース層 4 および p^+ 型ベースコンタクト層 1 7 がコンタクト穴を介してオーミック接触している。また、半導体基板 1 の裏面にオーミック接触するようにドレイン電極 2 0 が形成されている。

以上説明した図 1 に示す本実施例の縦型パワー MOS F E T においては、L O C O S 酸化膜をマスクとして自己整合にて p 型ベース層 1 6 と n^+ 型ソース層 4 を二重拡散するため、マスクの合わせ精度を見

1 3

込む必要が無くなり、図 1 5 に示した従来の U-MOS において成立する上述の式(1)~(7)において、式(4)中の U 溝 5 0 の底辺部の p 型ベース層 1 6 と接する長さ α_2' を無視することができる。従って、 α_2' 以外の各寸法を数 2 に示す従来通りの数値とすれば、本実施例では、式
5 (7)より、U 溝 5 0 の中央と上端の平面距離 α を $3 \mu\text{m}$ から $1.5 \mu\text{m}$ にまで縮小することが可能である。

この結果、ユニットセル寸法 a は、図 1 5 に示す従来の U-MOS の $14.5 \mu\text{m}$ から $11.5 \mu\text{m}$ にまで短縮することができ、面積当たりのチャネル幅が大きくとれ、図 1 4 に示す R-MOS の面積当たり
10 りのオン抵抗に近い値まで低減できることになる。

次に、本発明になる縦型パワー MOSFET の製造方法について説明する。

まず、図 2 に示されるように、 n^+ 型シリコンからなる半導体基板 1 の主表面に n^- 型のエピタキシャル層 2 を成長させたウエハ 2 1 を
15 用意する。この半導体基板 1 はその不純物濃度が 10^{20}cm^{-3} 程度になっている。また、エピタキシャル層 2 はその厚さが $7 \mu\text{m}$ 程度で、その不純物濃度は 10^{18}cm^{-3} 程度となっている。このウエハ 2 1 の主表面を熱酸化して厚さ 60nm 程度のフィールド酸化膜 6 0 を形成し、その後レジスト膜 6 1 を堆積して公知のフォトリソ工程にてセル
20 形成予 positioning の中央部に開口するパターンにレジスト膜 6 1 をパターニングする。そして、このレジスト膜 6 1 をマスクとしてボロン (B^+) をイオン注入する。

レジスト剥離後、熱拡散により図 3 に示すように接合深さが $3 \mu\text{m}$ 程度の p 型拡散層 6 2 を形成する。この p 型拡散層 6 2 は最終的には
25 後述する p 型ベース層 1 6 の一部となり、ドレイン・ソース間に高電圧が印加されたとき、p 型拡散層 6 2 の底辺部分で安定にブレイクダウンを起こさせることにより、耐サージ性を向上させる目的を果たす。

次に、図 3 に示すように、ウエハ 2 1 の主表面に窒化シリコン膜 6

3を約200nm堆積し、この窒化シリコン膜63をパターンニングして、ピッチ幅(ユニットセル15の寸法)aで開口する格子状の開口パターンを形成する。なお、この開口パターンは上述のp型拡散層62がそのピッチ間隔の中央部に位置するようにマスク合わせしている。

5 次に、図4に示すように、窒化シリコン膜63をマスクとしてフィールド酸化膜60をエッチングし、ひきつづきn⁻型エピタキシャル層2を深さ1.5μm程度エッチングして溝64を形成する。

次に、図5に示すように、窒化シリコン膜63をマスクとして溝64の部分を選択酸化する。これはLOCOS(Local Oxidation of Silicon)法として良く知られた酸化方法であり、この酸化によりLOCOS酸化膜65が形成され、同時にLOCOS酸化膜65によって喰われたn⁻型エピタキシャル層2の表面にU溝50が形成され、かつ溝50の形状が確定する。すなわち、隣接したU溝50の上端の距離bは窒化シリコン膜63の寸法で規定されるが、いわゆるバズビークによる側面酸化により少し短くなる。しかし、この寸法の短縮は0.5μm程度であり、しかも高精度に制御できる。なお、この時U溝50の側面のウェハ21主表面に対する傾斜角は45°以上あることが望ましく、これはLOCOS酸化の条件設定あるいはこのLOCOS酸化工程に先立ち形成した溝64の深さ設定により制御することがで
20 きる。

後述するように、隣接したU溝50の上端の距離bは8.5μm程度になる。また、図5において、U溝50の中央と上端の平面距離αは、図20と式(4)で与えられる従来のU-MOSの場合と同様に、式(8)で与えられる。

$$25 \quad \alpha = \alpha_1 + \alpha_2 + \alpha_3 \quad \dots \dots (8)$$

ただし、α₁はU溝50の底辺部のn⁻型ドレイン層6と接する長さの1/2、α₂はU溝50の底辺部のp型ベース層16と接する長さ、α₃はU溝50の側壁部のウェハ21の主表面に投影した長さである。

ところが、後述するように式(8)中の α_2 は省略できることから、式(8)は次式に書き換えられる。

$$\alpha = \alpha_1 + \alpha_3 \quad \dots \dots (9)$$

α_1 と α_3 は現状の加工技術では共に0.75 μ m程度であるから、
5 α は下記の値をとる。

$$\alpha = 1.5 [\mu m] \quad \dots \dots (10)$$

なお、LOCOS酸化により形成されたU溝50の内壁表面は平坦で欠陥が少なく、その表面は図2に示されるウエハ21の初期の主表面と同程度に表面状態が良い。

10 次に、図6に示すように、LOCOS酸化膜65をマスクとして、薄いフィールド酸化膜60を透過させてp型ベース層16を形成するためのボロンをイオン注入する。このとき、LOCOS酸化膜65とフィールド酸化膜60の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。

15 次に、図7に示すように、接合深さ3 μ m程度まで熱拡散する。この熱拡散により、図3に示す工程において前もって形成したp型拡散層62と、図6に示す工程において注入されたボロンの拡散層が一体になり、一つのp型ベース層16を形成する。また、p型ベース層16の領域の両端面はU溝50の側壁の位置で自己整合的に規定される。

20 次に、図8に示すように、格子状のパターンでウエハ21表面に形成されているLOCOS酸化膜65により囲まれたp型ベース層16表面中央部に残されたパターンでパターニングされたレジスト膜66とLOCOS酸化膜65を共にマスクとして、薄いフィールド酸化膜60を透過させてn⁺型ソース層4を形成するためのリンをイオン注
25 入する。この場合も図6に示す工程においてボロンをイオン注入した場合と同様に、LOCOS酸化膜65とフィールド酸化膜60の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。

次に、図9に示すように、接合深さ $0.5 \sim 1 \mu\text{m}$ 熱拡散し、 n^+ 型ソース層4を形成し、同時にチャンネル5も設定する。この熱拡散において、 n^+ 型ソース層4の領域のU溝50に接した端面は、U溝50の側壁の位置で自己整合的に規定される。

- 5 この熱拡散が完了した時点でのp型ベース層16の接合深さの設定が重要になる。すなわち、本実施例の縦型パワーMOSFETの完成品のドレイン・ソース間に高電圧を印加した時、U溝50の底面のエッジ部12でブレイクダウンが発生して破壊されないように、p型ベース層16の接合深さを設定することが重要である。この接合深さは
- 10 熱拡散により正確に規定することができる。

- 以上、図6～図9の工程によりp型ベース層16の接合深さとその形状が確定する。このp型ベース層16の形状において重要なことは、p型ベース層16の側面の位置がU溝50の側面により規定され、自己整合されて熱拡散するため、U溝50に対してp型ベース層16の
- 15 形状は完全に左右対称になる。この結果、図21に示すような従来のU-MOSにおいて発生していた、U溝50の底辺部とp型ベース層16とのマスクずれに起因する左右の接触長さ α'_{21} 、 α'_{22} の相違は、本発明の製造工程によれば常に無くなり、次式が成立する。

$$\alpha'_{21} = \alpha'_{22} \quad \dots\dots (11)$$

- 20 さらに、p型ベース層16の接合深さは熱拡散の条件設定により正確に規定できるため、図20に示されるU溝50の底辺部がp型ベース層16と接する長さ α'_2 を見込む必要が無くなる。すなわち、本実施例においては前述した式(8)において α_2 は省略できることになり、しかして上述の式(9)が成立する。

- 25 次に、図10に示すように、LOCOS酸化膜65をウェットエッチングにより除去してU溝50の内壁51を露出させ、その後熱酸化により厚さ60nm程度のゲート酸化膜8を形成する。U溝50の内壁51は前述したように平坦度が良く、欠陥も少ない良好なシリコン

表面であるため、この表面を熱酸化してできるゲート酸化膜 8 の膜質や、チャネル 5 の界面の界面準位密度、キャリア移動度は従来の D M O S と同程度に良好である。

次に、図 1 1 に示すように、ウエハ 2 1 の主表面に厚さ 4 0 0 n m 5 程度のポリシリコン膜を堆積し、隣接した二つの U 溝 5 0 の上端の距離 b よりも 2β だけ短かく距離 c だけ離間するようにパターンニングしたゲート電極 9 を形成する。マスクの合わせ精度 $0.5 \sim 1 \mu m$ を見込んで、ゲート電極 9 が必ずウエハ 2 1 の主表面の平坦部で終端するように β を $1 \mu m$ 程度に設定すると、隣接する二つのゲート電極 9 の 10 離間距離 c は $6.5 \mu m$ になる。

以上、図 6 ～図 1 1 に示す工程は本実施例において最も重要な製造工程の部分であり、L O C O S 酸化膜 6 5 を自己整合的な二重拡散のマスクとして使用し、p 型ベース層 1 6, n^+ 型ソース層 4 及びチャネル 5 を形成し、次に L O C O S 酸化膜 6 5 を除去した後、ゲート酸 15 化膜 8, ゲート電極 9 を形成する。

次に、図 1 2 に示すように、パターンニングされたレジスト膜 6 8 をマスクとして酸化膜 6 7 を透過して p^+ 型ベースコンタクト層 1 7 を形成するためのボロンをイオン注入する。

次に、図 1 3 に示すように、接合深さ $0.5 \mu m$ 程度熱拡散し、 p^+ 20 型ベースコンタクト層 1 7 を形成する。この熱拡散において、 p^+ 型ベースコンタクト層 1 7 が表面に露出した部分の寸法 e は $1.5 \mu m$ 程度であり、レジスト膜 6 8 のパターン寸法により規定される。

そして、図 1 (b) に示すように、ウエハ 2 1 の主表面に B P S G からなる層間絶縁膜 1 8 を形成し、その一部にコンタクト穴開けを行い 25 p^+ 型ベースコンタクト層 1 7 と n^+ 型ソース層 4 を露出させる。さらに、アルミニウム膜からなるソース電極 1 9 を形成し、前記コンタクト穴を介して p^+ 型ベースコンタクト層 1 7 と n^+ 型ソース層 4 とにオーミック接触させる。さらに、アルミニウム膜保護用としてプ

ラズマCVD法等により窒化シリコン等よりなるパッシベーション膜（図示略）を形成し、また、ウェハ21の裏面にはTi/Ni/Auの3層膜からなるドレイン電極20を形成し、n⁺型半導体基板1にオーミック接触をとる。

- 5 以上、図2～図13および図1を用いて説明した本実施例になる縦型パワーMOSFETの構造とその製造方法にあつては、次のような効果を奏することになる。

（1）図15に示される従来のU-MOSと比べると、式(1)～式(7)で与えられたユニットセル寸法aを決定する条件のうち異なる要因は
10 式(9)、式(10)で示される α であり、従来の3 μ mから1.5 μ mに短縮できる。この結果、式(3)よりユニットセル寸法aは従来の14.5 μ mから次式(12)で与えられる値まで短縮でき、面積当たりのオン抵抗をR-MOSにさらに近付けることができる。

$$a = 8.5 + 2 \times 1.5 = 11.5 [\mu\text{m}] \quad \dots\dots (12)$$

- 15 （2）チャネル部が形成されるシリコン表面は、LOCOS酸化法により形成された酸化膜をウェットエッチングにて除去してできるシリコン表面であり、表面の平坦度が良く、欠陥が皆無である。従つて、この表面を熱酸化してできるゲート酸化膜の膜質に関して、絶縁不良、チャネル部の界面の欠陥による移動度の低下やしきい電圧の変化等の
20 問題は従来のDMOS型と同等に小さい。この結果、歩留まりが高く信頼性が高い。

（3）R-MOSにおける反応性イオンエッチングに代表されるような、製造工程における微妙な管理が要求される方法を使用せず、LOCOS酸化法という極めて製造の管理が容易で、しかも寸法精度、
25 再現性が良い方法を使用するため、製造工程のスループット、歩留まりが高く、また製造コストも安い。

以上、本発明を上記第1実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範

図で種々変更可能であることはいうまでもない。

例えば、図22に示す第2実施例では、ソース電極19とn⁺型ソース層4、p⁺型ベースコンタクト層17とを溝52を介してオーミック接触させるようにしており、特にソース電極19はn⁺型ソース層4の側面にオーミック接触する構造となっている。この構造を作製するためには、図2～図13に示される製造工程において、n⁺型ソース層4をp型ベース層16の上面全面に拡散形成するようにし、ゲート構造を構成し、さらに層間絶縁膜18にコンタクト穴を開ける際、層間絶縁膜18およびn⁺型ソース層4を貫通してp⁺型ベースコンタクト層17に至る溝52を形成するようにすればよい。なお、p⁺型ベースコンタクト層17は、n⁺型ソース層4の形成前に予め形成しておく、n⁺型ソース層4の形成後に加速電圧を上げてボロンをイオン注入することにより形成する、あるいは、n⁺型ソース層形成のための熱拡散前にボロンをイオン注入して熱拡散によりn⁺型ソース層4と同時に形成する等、種々設定可能である。

この構造によれば、図1(b)におけるコンタクト穴の端とベースコンタクト層17が表面に露出する部分の端の平面距離 δ を見込む必要がなくなる。さらにベースコンタクト層17が表面に露出した部分の寸法eを特別に規定する必要が無く、寸法dのコンタクト穴を開けたとき、同時にベースコンタクト層17を露出させることができる。即ち、本第2実施例の構造と製造方法によれば、従来のU-MOSに関する式(1)～式(3)の一部が次のように変更される。

$$\begin{aligned}
 d''' &= 1.5 [\mu\text{m}] \\
 c''' &= 4.5 [\mu\text{m}] \\
 b''' &= 6.5 [\mu\text{m}] \quad \dots\dots (13) \\
 a''' &= b''' + 2\alpha
 \end{aligned}$$

従って、式(13)、式(10)より、

$$a''' = 6.5 + 2 \times 1.5 = 9.5 [\mu m]$$

... (14)

と、縦型パワーMOSFETのユニットセル寸法を $10 \mu m$ 以下と小さくでき、従来のR-MOSと同等のセルサイズが可能になり、オン抵抗の飛躍的な低減がはかれる。しかも、第1実施例と同様に、歩留まり、信頼性の高い縦型パワーMOSFETが得られる。

次に本発明第3実施例について説明する。以下の説明においては、図1～図13に示した本発明第1実施例による縦型パワーMOSFETの製造方法とその構造図を引用し、上記第1実施例に対して本第3実施例が異なる部分または第3実施例において新たに設定される部分に限定して説明を行い、その他の部分は上記第1実施例と同様のためその説明は省略することとする。

第3実施例では、図2において、ウエハ21はその主表面の面方位が(111)またはそれに近いものを選定している。それにより図5に示す工程においてウエハ21に形成されるLOCOS酸化膜65の底面に対応する n^- 型のエピタキシャル層2の表面、すなわちU溝50の底面53は主表面に平行であるため、その面方位も(111)となる。

また、図1(a)においてウエハ21の主表面の面方向に対して四角形のユニットセル15の辺の面方向の最適化と、図5に示すLOCOS酸化工程における条件設定によるU溝50の側面54の傾き角度の最適化により、U溝50の側面54の面方位は界面準位密度が少ない(100)に近い方位に設定されている。

これで図10に示すゲート酸化膜8を形成する工程において、U溝50の底面53(面方位は上述のように(111)である)と側面54(面方位は上述のように(100)に近い方位)の面方位の違いにより、底面53の方が酸化速度が速くなる工程条件を選定する。すな

わち、シリコンの酸化が反応律速で支配される比較的速い酸化時間と薄い酸化膜が必要条件であり、60nm程度の薄いゲート酸化膜形成はこの条件を満足する。この条件により、U溝50の底面53の表面に形成されるゲート酸化膜の厚さ t_B はU溝50の側面54の表面に形成されるゲート酸化膜の厚さ t_S より厚くなる。すなわち、

$$t_S < t_B \quad \dots\dots (15)$$

であり、 t_S 、 t_B として例えば次の数値が得られる。

$$t_S = 60 \text{ [nm]}, \quad t_B = 80 \text{ [nm]} \quad \dots\dots (16)$$

次に、第1実施例に対して第3実施例がその構造の修正により優れる作用について説明する。

第3実施例においては、式(15)、(16)に示すように図1におけるU溝50の底面53の表面に形成されるゲート酸化膜の厚さ t_B は、U溝50の側面54の表面に形成されるゲート酸化膜の厚さ t_S より厚くすることができる。このため、ドレイン電極20とソース電極19との間に高電圧が印加されたときでも、U溝50の底面53の表面に形成されるゲート酸化膜中の電界強度が低減でき、ゲート酸化膜の絶縁破壊を防止できる。また、U溝50の底面53とその表面に形成されるゲート酸化膜とゲート電極9で構成されるU溝50の底面部のゲート入力容量はゲート酸化膜の厚さに反比例して減少するため、高速スイッチングが可能となる。

また第3実施例においては、U溝50の側面54の面方位を界面準位密度が少ない(100)に近い方位に設定してチャネル5部分の界面準位密度を少なくしてあるから、閾電圧の安定度が良く、チャネル部の移動度を低下させることがなく、ホットキャリアによる耐性も強い。また、縦型パワーMOSFETの電気特性の長期信頼性を維持できる。

以上第3実施例においては、図1(a)に示す四角形のユニットセルの場合のみについて説明したために、U溝50の全ての側面54の

2 2

面方位を(1 0 0)面に設定することはできなかった。その原因は、面方位(1 1 1)はその結晶構造から3回軸対称であり、3回軸対称でない四角形のユニットセルと整合しなかったことによる。これを改良した第4実施例を図23に示す。なお、図23(a)は本発明第4
5 実施例による縦型パワーMOSFETの一部を示す模式的な平面図であり、図を見やすくするためゲート電極9の表面パターンは一部のみの表示(図の斜線領域)とし、ソース電極19の表示は省略している。また、図23(b)は図23(a)のB-B断面図である。図において、図1と同様な構成には同一符号を付してある。

10 第4実施例においては、図23(a)に示すように、三角形のユニットセル15のパターン及び三角形パターンのU溝50を使用するとともに、三角形の一辺の面方向を<2 1 1>に設定し、さらに図23(b)に示すように、ウェハ21の主表面とU溝50の側面54の成す角が54.7°になるように、図5に示すLOCOS酸化工程にお
15 ける条件を設定している。これにより、U溝50の全ての側面54の面方位を界面準位の最も少ない(1 0 0)とすることができ、従来のプレーナ型DMOSFETと同等の良い特性をもつチャンネルを形成することができる。

以上、説明した種々の実施例においてはユニポーラ動作を行う縦型
20 パワーMOSFETに本発明を適用した場合についてのみ説明したが、それに限定されるものではなく、このような縦型パワーMOSFETを組み込んだパワーMOSICに適用してもよく、更には、バイポーラ動作を行う絶縁ゲート型バイポーラトランジスタ(IGBT)のゲート構造に適用することもできる。

25 また、実施例ではnチャンネル型についてのみ説明したが、n型とp型の半導体の型を入れ換えたpチャンネル型についても同様の効果が得られることは言うまでもない。

さらに、ユニットセルの平面形状は上述の正方形、正三角形に限ら

ず、他に長方形、六角形等、適宜選択可能である。なお、平面パターンの変更はLOCOS酸化膜65の形成パターンにて容易に変更可能である。

産業上の利用可能性

- 5 以上のように、本発明に係る縦型MOSFETは、従来のU-MOSのようにベース層端に対するU溝の位置ずれを見込んで十分底面の長いU溝を形成する必要はなく、U溝の底面の長さを必要最小限に短くすることができる。その結果、ユニットセル寸法を大幅に縮小することができる。面積当たりのオン抵抗はR-MOSと同程度まで低減で
- 10 き、しかも製造歩留まりや信頼性はDMOS型と同程度に高いため、その単体または該素子を組み込んだMOSICとして電力用スイッチング素子等に採用して非常に有効である。

2 4

請求の範囲

1. 半導体基板の一主面側に該半導体基板よりも低不純物濃度であ
って第1導電型の半導体層を形成し、この低濃度の半導体層の表面を
主表面としてその所定領域を選択酸化することにより、該所定領域の
5 前記半導体層内に前記主表面より所定深さを有する選択酸化膜を形成
する選択酸化工程と、

前記選択酸化膜の側面に接する前記半導体層表面にチャネルを形成
すべく、前記選択酸化膜と自己整合的に順次第2導電型と第1導電型
の不純物を前記主表面より二重拡散し、この二重拡散により前記チャ
10 ネルの長さを規定すると同時に第2導電型のベース層と第1導電型の
ソース層を形成する不純物導入工程と、

この二重拡散の後に前記選択酸化膜を除去して前記所定深さを有す
る溝構造を形成し、前記チャネルとなる部分を含む前記溝の内壁を酸
化してゲート酸化膜とし、このゲート酸化膜上にゲート電極を形成す
15 るゲート形成工程と、

前記ソース層および前記ベース層とともに電氣的に接触するソース
電極と、前記半導体基板の他主面側に電氣的に接触するドレイン電極
とを形成するソース、ドレイン電極形成工程と

を含むことを特徴とする縦型MOSFETの製造方法。

20 2. 前記ゲート形成工程におけるゲート酸化膜形成時に、前記溝の
側面部のゲート酸化膜の厚さに比べて前記溝の底面部において前記ゲ
ート酸化膜の膜厚が厚くなるようにする工程条件を選定する条件設定
工程を具備することを特徴とする請求の範囲第1項に記載の縦型MO
S F E Tの製造方法。

25 3. 前記条件設定工程は、前記溝の底面部の半導体結晶表面の面方位
と、前記溝の側面部の半導体結晶表面の面方位を選定する面方位選
定工程であることを特徴とする請求の範囲第2項記載の縦型MOSF
E Tの製造方法。

4. 前記面方位選定工程は、前記選択酸化工程において、前記半導体層をシリコンとし、その前記主表面の面方位を(111)もしくは(111)に近い面とするとともに、前記選択酸化膜の側面に接する前記半導体層表面の面方位を(100)もしくは(100)に近い面とする工程であることを特徴とする請求の範囲第3項記載の縦型MOSFETの製造方法。

5. 前記ゲート形成工程におけるゲート酸化膜形成時において、前記溝の内壁の酸化速度が界面反応で律速される酸化条件に選定されていることを特徴とする請求の範囲第1項記載の縦型MOSFETの製造方法。

6. 前記ゲート形成工程におけるゲート酸化膜形成時において、前記溝の内壁の酸化速度が界面反応で律速される酸化条件に選定されていることを特徴とする請求の範囲第3項記載の縦型MOSFETの製造方法。

7. 前記ゲート形成工程におけるゲート酸化膜形成時において、前記溝の内壁の酸化速度が界面反応で律速される酸化条件に選定されていることを特徴とする請求の範囲第4項記載の縦型MOSFETの製造方法。

8. 前記半導体基板が第1導電型であることを特徴とする請求の範囲第1項記載の縦型MOSFETの製造方法。

9. 前記半導体基板が第2導電型であることを特徴とする請求の範囲第1項記載の縦型MOSFETの製造方法。

10. 前記選択酸化工程は、前記選択酸化膜の形成に先立ち、前記半導体層主表面の該選択酸化膜を形成する領域において、該主表面を所定深さエッチングする初期溝形成を含むことを特徴とする請求の範囲第1項記載の縦型MOSFETの製造方法。

11. 前記選択酸化工程は、前記選択酸化膜の形成に先立ち、前記半導体層主表面の該選択酸化膜を形成する領域において、該主表面を

所定深さエッチングする初期溝形成を含むことを特徴とする請求の範囲第3項記載の縦型MOSFETの製造方法。

12. 前記選択酸化工程は、前記選択酸化膜の形成に先立ち、前記半導体層主表面の該選択酸化膜を形成する領域において、該主表面を所定深さエッチングする初期溝形成を含むことを特徴とする請求の範囲第4項記載の縦型MOSFETの製造方法。

13. 前記選択酸化工程は、前記選択酸化膜の表面パターン形状を正三角形とし、その一辺の方向を<211>方向に設定するようにしていることを特徴とする請求の範囲第4項記載の縦型MOSFETの製造方法。

14. 前記半導体層の主表面に対する前記選択酸化膜の側面の傾斜角を45°以上に設定することを特徴とする請求の範囲第1項記載の縦型MOSFETの製造方法。

15. 前記半導体層の主表面に対する前記選択酸化膜の側面の傾斜角を、この側面に接する前記半導体層表面の界面準位密度が低くなる角度に設定することを特徴とする請求の範囲第1項記載の縦型MOSFETの製造方法。

16. 前記半導体層の主表面に対する前記選択酸化膜の側面の傾斜角を、この側面に接する前記半導体層表面の界面準位密度が低くなる角度に設定することを特徴とする請求の範囲第7項記載の縦型MOSFETの製造方法。

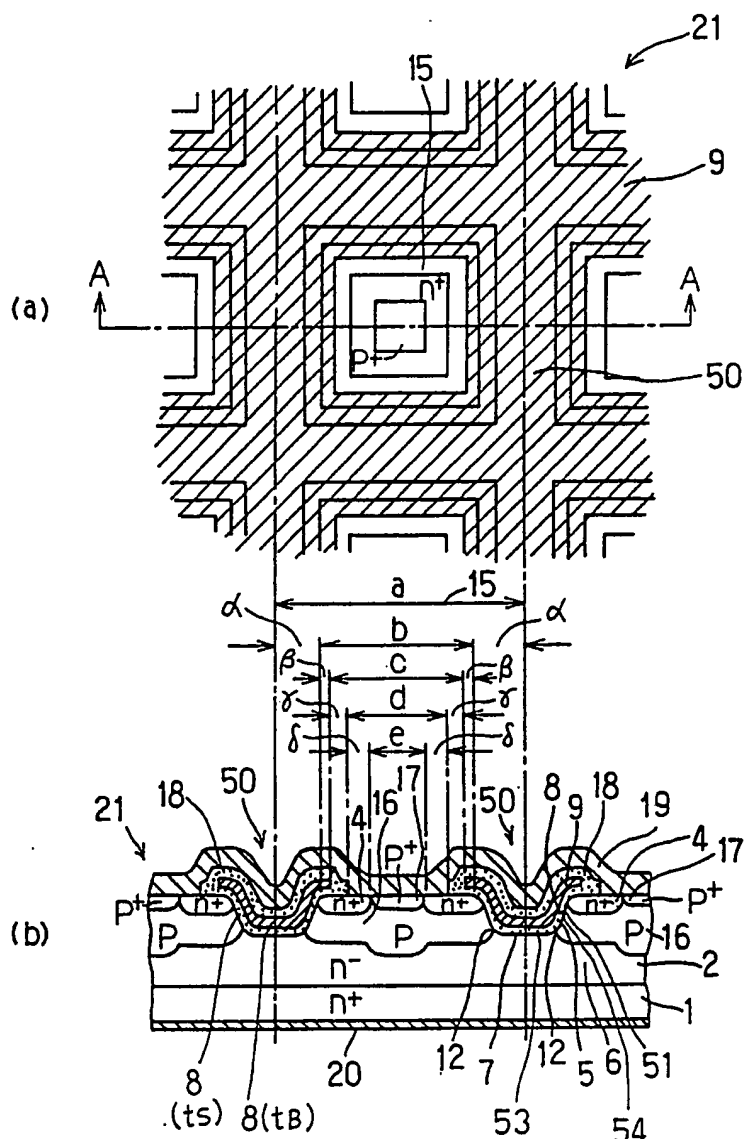
$$\frac{1}{8}$$


图 1

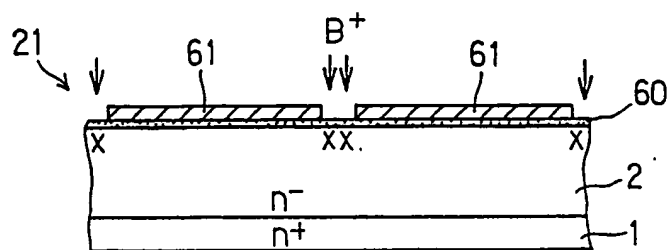


图 2

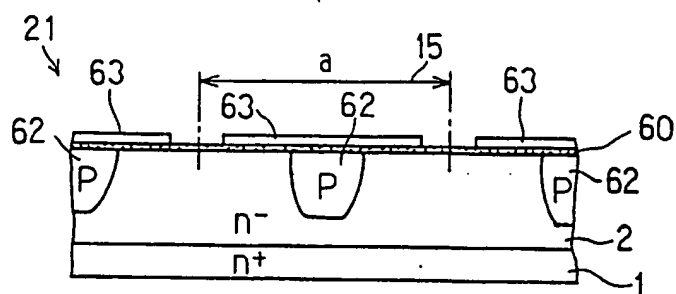
$$\frac{2}{8}$$


图 3

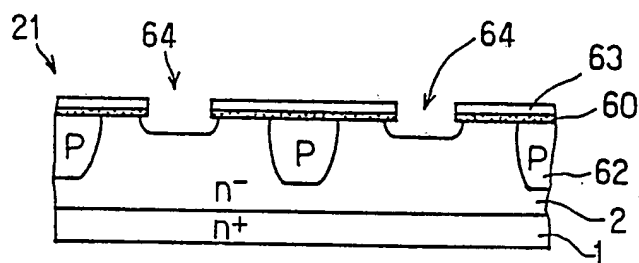


图 4

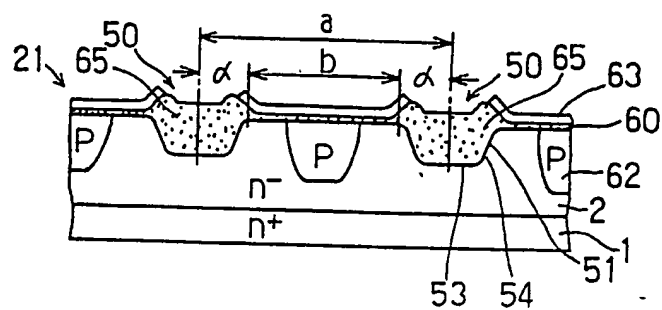


图 5

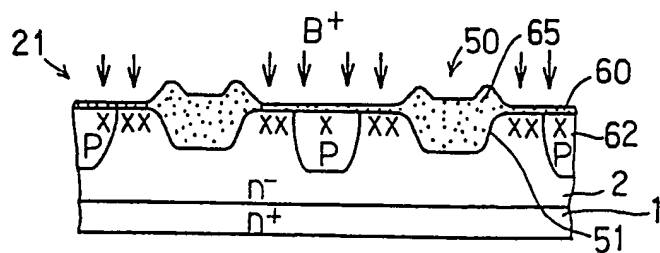


图 6

3/8

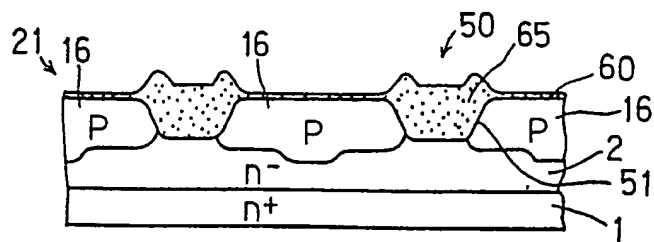


図 7

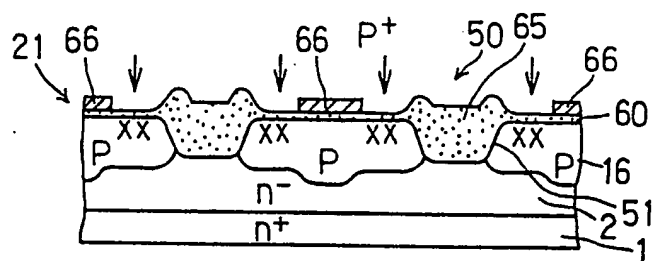


図 8

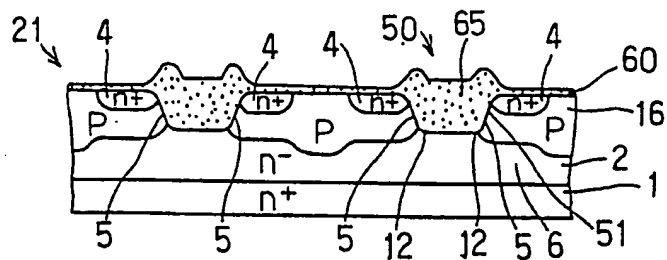


図 9

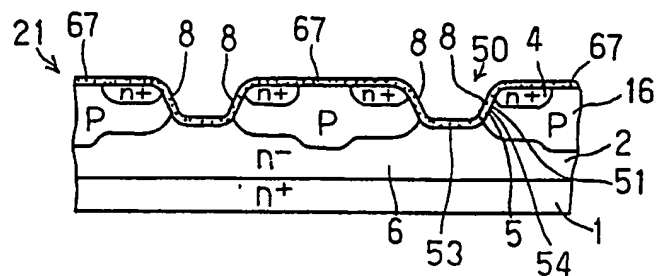


図 10

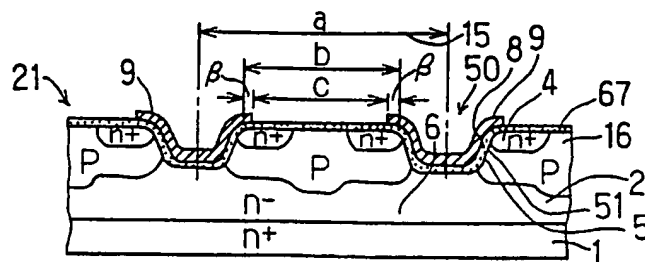


図 11

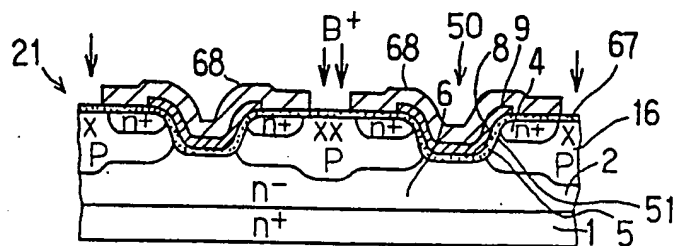


図 12

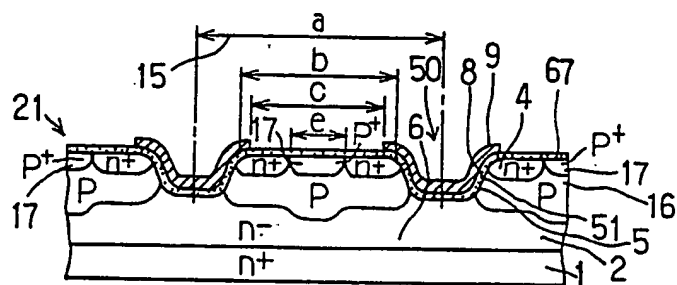


図 13

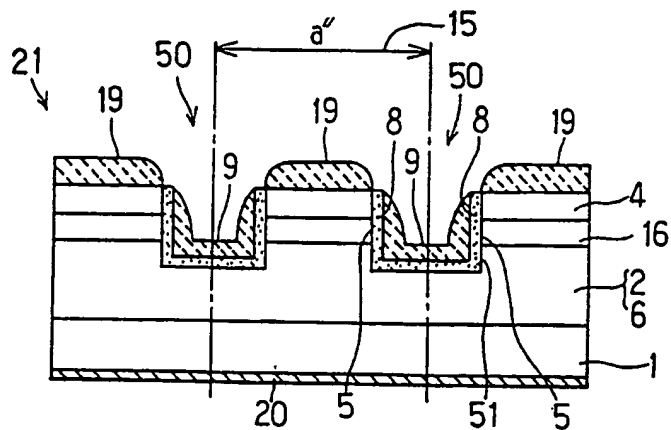


図 14

5/8

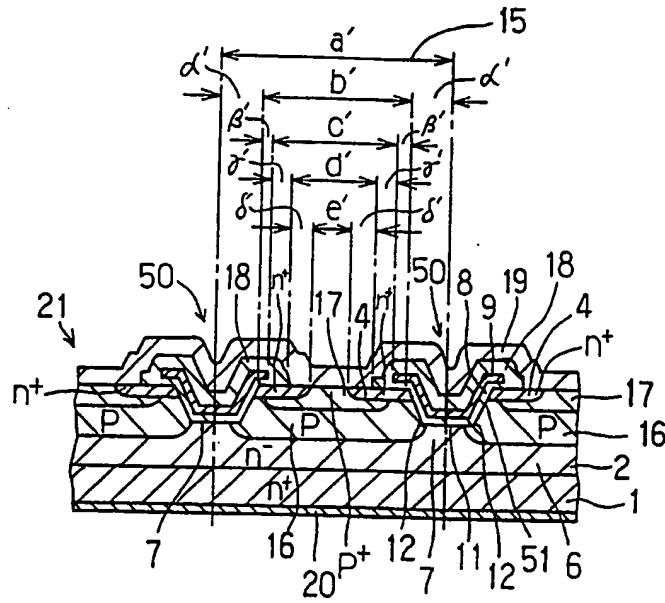


図 15

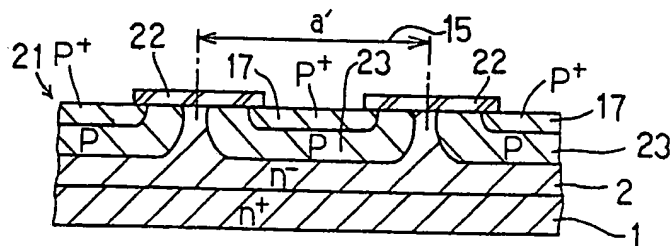


図 16

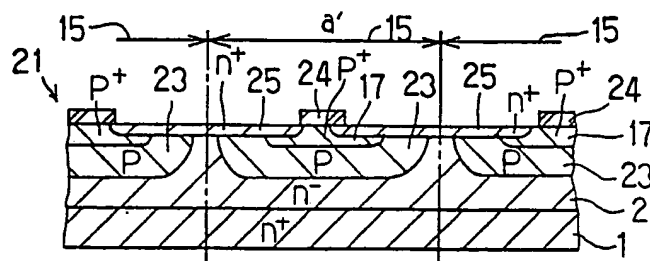


図 17

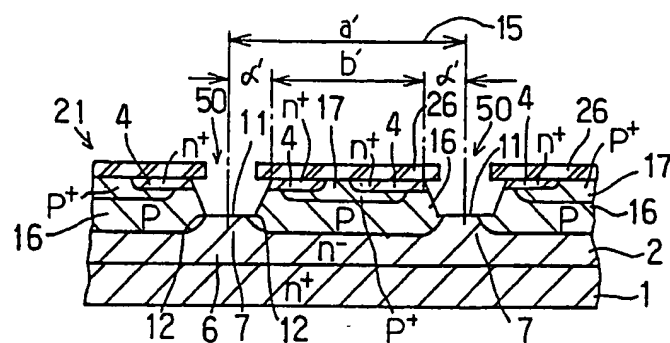
$$\frac{6}{8}$$


图 18

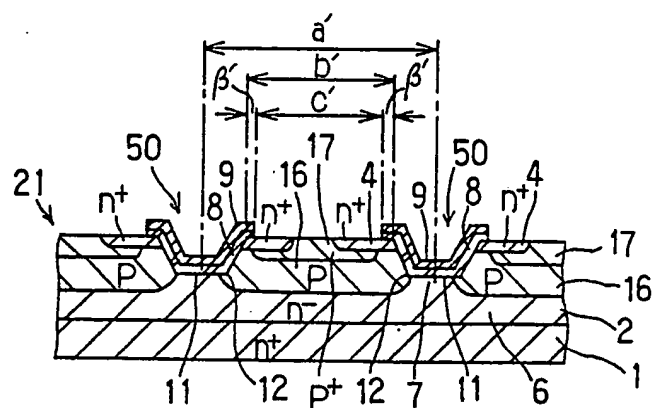


图 19

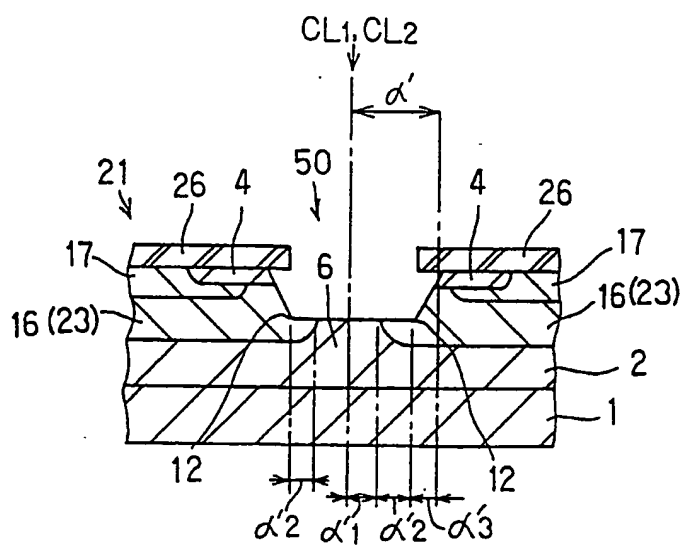


図 20

7/8

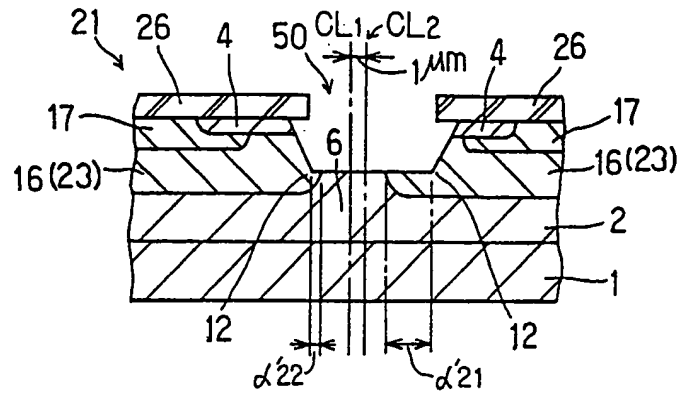


図 21

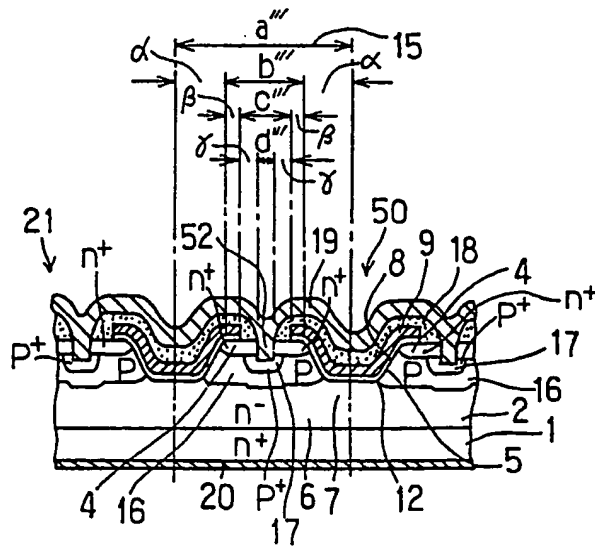


図 22

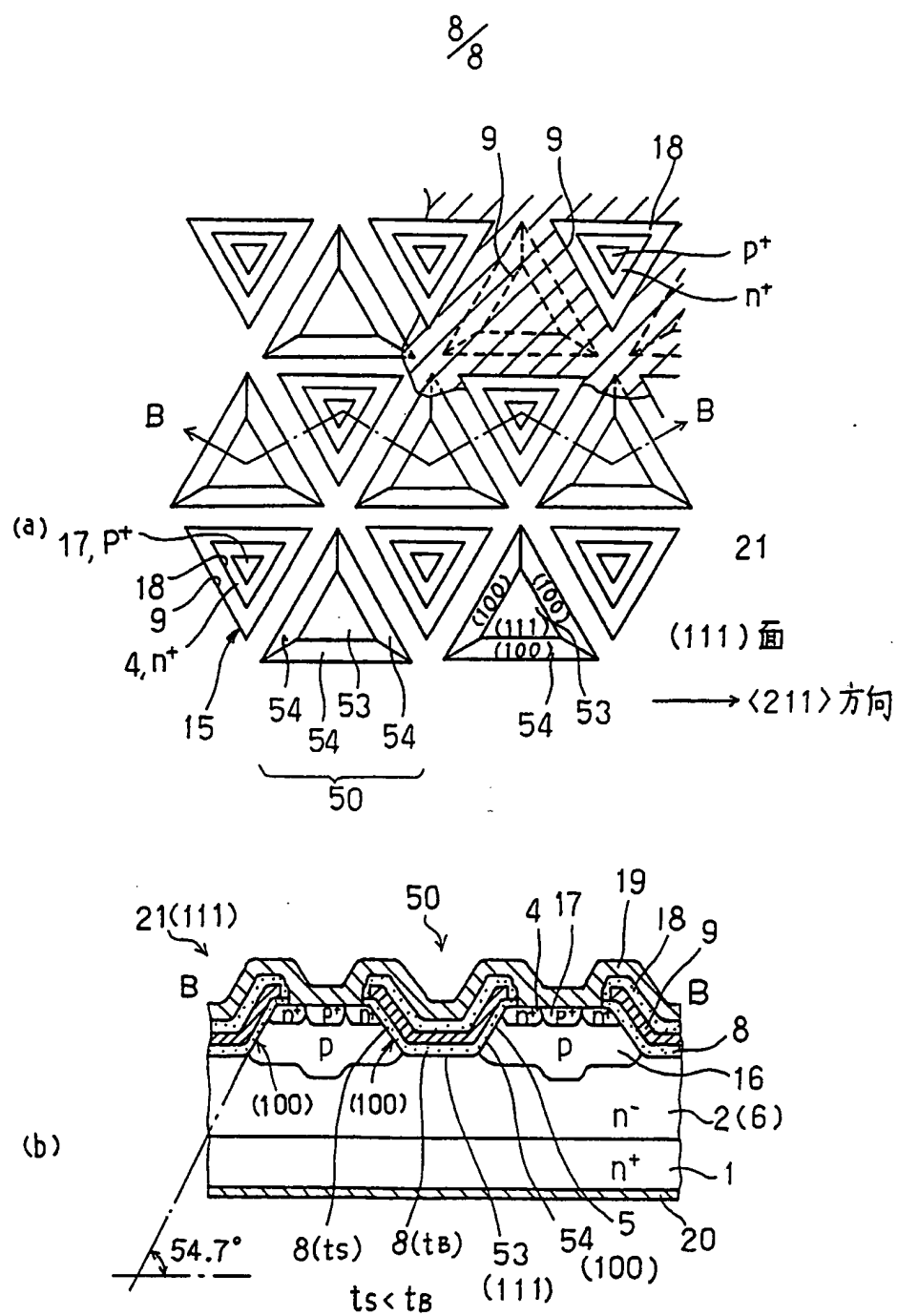


図 23

International Application No PCT/JP92/00929

International Application No PCT/JP92/00929

Form PCT/ISA/210 (second sheet) (January 1985)

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Y	JP, A, 1-192174 (Hitachi, Ltd.), August 2, 1989 (02. 08. 89), (Family: none)	2
Y	JP, A, 56-150870 (RCA Corp.), November 21, 1981 (21. 11. 81), & DE, A1, 3110230 & FR, A1, 2479567 & FR, B1, 2479567 & GB, A, 2072422 & GB, B, 2072422 & IT, A, 1194027 & IT, AO, 8120225 & JP, B2, 61-50397 & PL, A1, 230318 & PL, B1, 137347 & SE, A, 8101263 & SE, B, 456292 & SE, C, 456292 & US, A, 4364073 & YU, A, 77481 & YU, B, 43009	9

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

A	JP, A, 54-146584 (Mitsubishi Electric Corp.), November 15, 1979 (15. 11. 79), (Family: none)	1, 14
A	JP, A, 63-266882 (Hitachi, Ltd.), November 2, 1988 (02. 11. 88), (Family: none)	1
A	JP, A, 2-86136 (Hitachi, Ltd.), March 27, 1990 (27. 03. 90), (Family: none)	1
A	JP, A, 2-86171 (Hitachi, Ltd.), March 27, 1990 (27. 03. 90), (Family: none)	1

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claim numbers because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claim numbers because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This international Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

A	JP, A, 59-8374 (Matsushita Electronics Corp.), January 17, 1984 (17. 01. 84), (Family: none)	1
A	JP, A, 53-16581 (Toshiba Corp.), February 15, 1978 (15. 02. 78), & DE, A1, 2724165	1
A	JP, A, 58-166759 (NEC Corp.), October 1, 1983 (01. 10. 83), (Family: none)	2-4, 15
A	JP, A, 2-262375 (Toshiba Corp.), October 25, 1990 (25. 10. 90)	2-4

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers , because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claim numbers , because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claim numbers , because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

	(Family: none)	
A	JP, A, 1-189172 (Sharp Corp.), July 28, 1989 (28. 07. 89), (Family: none)	2-4
A	Journal of Electrochemical Society: Solid- State Science and Technology, Vol. 124, No. 2 (February, 1977), H. Sakai et al.: "Methods to Improve the Surface Planarity of Locally Oxidized Silicon Devices", pp. 318-320	10, 14
A	JP, A, 59-8375 (Matsushita Electronics Corp.)	13-15

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers , because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers , because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers , because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

A	January 17, 1984 (17. 01. 84), & DE, A1, 3324017 & DE, C3, 3324017 IEEE Transactions on Electron Devices, Vol. ED-32, No. 1 (January, 1985), (New York), D. Ueda et al.: "A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance", pp. 2-6	13-15
---	---	-------

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers , because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers , because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers , because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☐ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:
3. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:
4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
☐ No protest accompanied the payment of additional search fees.

国 際 調 査 報 告

国際出願番号PCT/JP 92/ 00929

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. ⁸ H01L29/784		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
IPO	H01L29/784	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1926-1991年 日本国公開実用新案公報 1971-1991年		
III. 関連する技術に関する文献		
引用文献の カテゴリー ※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, A, 62-12167 (ティーディーケイ株式会社), 21. 1月. 1987 (21. 01. 87), (ファミリーなし)	1, 8, 9. 10 14
X	JP, A, 60-28271 (日産自動車株式会社), 13. 2月. 1985 (13. 02. 85), &DE, A1, 3427293	1, 8
Y	JP, A, 62-46569 (ティーディーケイ株式会社), 28. 2月. 1987 (28. 02. 87), (ファミリーなし)	1, 2, 8
Y	JP, A, 54-91187 (テクトロニクス・インコーポ レイテッド), 19. 7月. 1979 (19. 07. 79), &CA, A1, 1119733&DE, A1, 2854073 &FR, A1, 2412942&GB, A, 2011170 &GB, B, 2011170&JP, B2, 63-18346	1, 5
<p>※ 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 先行文献ではあるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリーの文献</p>		
IV. 認 証		
国際調査を完了した日	20. 10. 92	国際調査報告の発送日 02. 11. 92
国際調査機関	日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 近 藤 幸 浩
		4 M 9 1 6 8

第2ページから続く情報

	(頁欄の続き)	
	&NL, A, 7811920&US, A, 4217599 &US, A, 4261761	
Y	JP, A, 56-96865 (富士通株式会社), 5. 8月. 1981 (05. 08. 81), (ファミリーなし)	1, 10
Y	JP, A, 1-192174 (株式会社 日立製作所), 2. 8月. 1989 (02. 08. 89), (ファミリーなし)	2
Y	JP, A, 56-150870 (アールシーエー・コーポレー	9

V. ☐ 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. ☐ 請求の範囲 _____ は、国際調査をすることを要しない事項を内容とするものである。
2. ☐ 請求の範囲 _____ は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。
3. ☐ 請求の範囲 _____ は、従属請求の範囲でありかつ PCT 規則 6.4(a)第2文の規定に従って起草されていない。

VI. ☐ 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. ☐ 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
2. ☐ 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったので、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
請求の範囲 _____
3. ☐ 追加して納付すべき手数料が指定した期間内に納付されなかったので、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
請求の範囲 _____
4. ☐ 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

- ☐ 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
- ☐ 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。

Ⅲ. 関連する技術に関する文献 (第2ページからの続き)		
引用文献の カテゴリ	引用文献名及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
	<p>ンヨン), 21. 11月. 1981(21. 11. 81), &DE, A1, 3110230&FR, A1, 2479567 &FR, B1, 2479567&GB, A, 2072422 &GB, B, 2072422&IT, A, 1194027 &IT, AO, 8120225&JP, B2, 61-50397 &PL, A1, 230318&PL, B1, 137347 &SE, A, 8101263&SE, B, 456292 &SE, C, 456292&US, A, 4364073 &YU, A, 77481&YU, B, 43009</p>	
A	JP, A, 54-146584(三菱電機株式会社), 15. 11月. 1979(15. 11. 79), (ファミリーなし)	1, 14
A	JP, A, 63-266882(株式会社 日立製作所), 2. 11月. 1988(02. 11. 88), (ファミリーなし)	1
A	JP, A, 2-86136(株式会社 日立製作所), 27. 3月. 1990(27. 03. 90), (ファミリーなし)	1
A	JP, A, 2-86171(株式会社 日立製作所), 27. 3月. 1990(27. 03. 90), (ファミリーなし)	1
A	JP, A, 59-8374(松下電子工業株式会社), 17. 1月. 1984(17. 01. 84), (ファミリーなし)	1
A	JP, A, 53-16581(東京芝浦電気株式会社), 15. 2月. 1978(15. 02. 78), &DE, A1, 2724165	1
A	JP, A, 58-166759(日本電気株式会社), 1. 10月. 1983(01. 10. 83), (ファミリーなし)	2-4, 15
A	JP, A, 2-262375(株式会社 東芝), 25. 10月. 1990(25. 10. 90), (ファミリーなし)	2-4
A	JP, A, 1-189172(シャープ株式会社), 28. 7月. 1989(28. 07. 89), (ファミリーなし)	2-4
A	Journal of Electrochemical Society: Solid- State Science and Technology, 第124巻, 第2号 (2月, 1977), H. Sakai et al.: "Methods to Im- prove the Surface Planarity of Locally Oxidized Silicon Devices," pp. 318-320	10, 14
A	JP, A, 59-8375(松下電子工業株式会社), 17. 1月. 1984(17. 01. 84), &DE, A1, 3324017&DE, C3, 3324017	13-15

III. 関連する技術に関する文献 (第2 ページからの続き)		
引用文献の カテゴリー	引用文献名及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	IEEE Transactions on Electron Devices, 第 ED-32 巻, 第 1 号 (1 月, 1985) (New York), D. Ueda et al. : "A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistan- ce", pp. 2-6	13-15